

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **03-049092**  
 (43)Date of publication of application : **01.03.1991**

(51)Int.Cl. **G11C 11/401**

(21)Application number : **02-054002** (71)Applicant : **MITSUBISHI ELECTRIC CORP**  
 (22)Date of filing : **05.03.1990** (72)Inventor : **ARIMOTO KAZUTAMI**  
**MATSUDA YOSHIO**  
**OISHI TSUKASA**  
**CHIKUDE MASAKI**  
**FUJISHIMA KAZUYASU**

(30)Priority

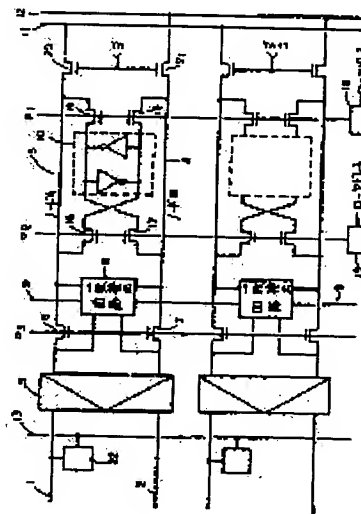
Priority number : **64 93716** Priority date : **13.04.1989** Priority country : **JP**

## (54) TEST SIGNAL GENERATOR FOR SEMICONDUCTOR IC MEMORY AND TESTING METHOD THEREFOR

(57)Abstract:

PURPOSE: To shorten a test time and to improve sensitivity for a fault detection by writing a pair of voltages corresponding to a pair of logic levels into a memory and reading out with forward or inverse means or their combination, to test the line mode.

CONSTITUTION: An output signal of column data is given to transferring transistors (Tr) 20, 21 to conduct them, and an H-level clock signal  $\phi_{11}$  is given to transferring Trs 14, 15 at the same time from a clock generator (CG) 18 to conduct them. At this time, a clock signal  $\phi_{12}$  of CG 19 is on L-level and transferring Trs 16, 17 are not conducted. A test pattern string D is written into a register 10 from a pair of I/O lines 11, 12 through Trs 20, 21, 14, 15. Next, a clock signal  $\phi_{13}$  is inputted to transferring Trs 6, 7 to conduct them. The pattern string D from the register 10 is inputted to a pair of bit lines 1, 2 from the Trs 14, 15 through nodes 3, 4 and Trs 6, 7, then written into a memory cell 22 by the operation of a word line 13.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-49092

⑬ Int.Cl.<sup>5</sup>  
G 11 C 11/401

識別記号 庁内整理番号

⑭ 公開 平成3年(1991)3月1日

8323-5B G 11 C 11/34 3 7 1 A

審査請求 未請求 請求項の数 7 (全12頁)

⑮ 発明の名称 半導体集積回路メモリのためのテスト信号発生器およびテスト方法

⑯ 特 願 平2-54002

⑰ 出 願 平2(1990)3月5日

優先権主張 ⑱ 平1(1989)4月13日 ⑲ 日本(JP) ⑳ 特願 平1-93716

㉑ 発 明 者 有 本 和 民 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉒ 発 明 者 松 田 吉 雄 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉓ 発 明 者 大 石 司 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉔ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉕ 代 理 人 弁理士 大岩 増雄 外2名

最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路メモリのためのテスト信号発生器およびテスト方法

2. 特許請求の範囲

(1) それぞれが第1のビット線と第2のビット線とを含む複数のビット線対を含む半導体集積回路メモリのためのテスト信号発生器であって、

第1および第2の論理レベルに対応した第1および第2の電圧を出力する信号源、

前記信号源から出力された第1および第2の電圧を選択して前記第1および第2のビット線に与える第2のスイッチング手段、および

前記信号源から出力された第1および第2の電圧を選択しかつ反転して前記第1および第2のビット線に与える第2のスイッチング手段を備えた、半導体集積回路メモリのためのテスト信号発生器。

(2) さらに、前記複数のビット線対を第1および第2のノードに分離させ、前記半導体集積回路メモリのメモリセルを前記第1および第2の

ノードに接続させるトランスファゲートを含み、

前記信号源は、前記ビット線対の第1のノードに正転および反転した論理レベル信号をストアするためのレジスタ手段であって、

前記第1のスイッチング手段は、前記レジスタ手段にストアされている正転および反転した論理レベル信号を前記ビット線対のいずれかの第1のノードに与えるように接続され、

前記第2のスイッチング手段は、前記レジスタ手段にストアされている正転および反転された論理レベル信号を前記ビット線対のいずれかの第1のノードに与えるように接続される、請求項第1項記載の半導体集積回路メモリのためのテスト信号発生器。

(3) さらに、前記ビット線対の第1のノードに現われる正転および反転された論理レベル信号と前記ビット線対の第2のノードに現われる論理レベル信号とを比較する比較手段を含み、

前記第2のスイッチング手段は前記比較手段と、前記レジスタ手段にストアされた正転または逆転

された論理レベル信号に対応するビット線対のうちのいずれかのビット線に対応する第1のノードとの間に接続される、請求項第2項記載の半導体集積回路メモリのためのテスト信号発生器。

(4) さらに、前記比較手段の比較出力を一時記憶する一時記憶手段、および

前記一時記憶手段に一時記憶されている比較出力を前記ビット線対に出力する第3のスイッチング手段を含む、請求項第3項記載の半導体集積回路メモリのためのテスト信号発生器。

(5) 第1および第2のビット線を含むビット線対と、前記ビット線対に接続されたセンスアンプと、前記ビット線対に接続されたメモリセルと、前記メモリセルの機能テストのためのテスト回路を有する半導体集積回路メモリのためのテスト信号発生器であって、

第1および第2の論理レベルに対応した第1および第2の電圧を出力する信号源、

前記信号源から出力された第1および第2の電圧を選択して前記第1および第2のビット線に与

える第1のスイッチング手段、および

前記信号源から出力された第1および第2の電圧を選択しかつ反転して前記第1および第2のビット線に与える第2のスイッチング手段を備えた、半導体集積回路メモリのためのテスト信号発生器。

(6) 内蔵されたテスト回路によってメモリセルの行をテストする半導体集積回路メモリのテスト方法であって、

前記半導体集積回路メモリの行に対応する複数のビット数の少なくとも正転および反転された論理レベル信号のいずれか一方を確立する第1のステップ、

前記確立された複数のビット数の少なくとも正転および反転された論理レベル信号のいずれか一方を一時記憶する第2のステップ、

前記第2のステップで記憶された論理レベル信号を読出す第3のステップ、

前記第3のステップで読出された論理レベル信号を反転する第4のステップ、

前記反転された論理レベル信号を前記メモリセ

ルに転送し、記憶させる第5のステップ、

前記第5のステップで記憶された論理レベル信号を読出す第6のステップ、および

前記第6のステップで読出された論理レベル信号と、前記第2のステップで一時記憶された論理レベル信号とを比較する第7のステップを含む、半導体集積回路メモリのテスト方法。

(7) さらに、前記第7のステップで比較された比較結果を一時記憶する第8のステップを含む、請求項第6項記載の半導体集積回路メモリのテスト方法。

### 3. 発明の詳細な説明

#### [産業上の利用分野]

この発明は半導体集積回路メモリのためのテスト信号発生器およびテスト方法に関する。より特定的には、この発明は大容量メモリにおけるメモリセルのテスト時間を短縮するために、ラインモードテスト回路を内蔵したダイナミックRAMなどの半導体集積回路メモリのためのテスト信号発生器およびテスト方法に関する。

#### [従来の技術]

第13図は従来のダイナミックRAMの全体の構成を示すブロック図である。第13図を参照して、アドレス信号A1はアドレスバッファ31に与えられる。アドレスバッファ31はアドレス信号A1を記憶し、ロウアドレス信号をロウデコーダ36aと36bとに与えるとともに、コラムアドレス信号をコラムデコーダ40に与え、ロウアドレス信号の一部をタイミングジェネレータ32に与える。ロウデコーダ36aはメモリセルアレイ35aのロウアドレスを指定し、ロウデコーダ36bはメモリセルアレイ35bのロウアドレスを指定し、コラムデコーダ40はメモリセルアレイ35a、35bのそれぞれのコラムアドレスを指定する。タイミングジェネレータ32には、RAS信号とCAS信号とR/W信号とTE信号とが与えられている。タイミングジェネレータ32はロウアドレス信号の一部にตอบสนองして、メモリセルアレイ35a側または35b側にデータを込込むか、あるいは書き込まれたデータを読出すかの切

換制御を行なうために、センスアンプ37a, 37bに切換信号を与える。

ラインテストコントローラ33はラインテストコントロールを行なうために、レジスタ39a, 39bにテストパターン信号を与える。一致検出回路38a, 38bはレジスタ39a, 39bにストアされているテストパターンとメモリセルアレイ35a, 35bの各メモリセル列に記憶されているデータとの一致を判別し、一致していなければエラーフラグを1/0バッファ34を介して出力する。

第14図はラインモードテスト回路を内蔵した従来のダイナミックRAMのアレイ構成の一部を示す図である。この第14図に示した例は、本願発明者らがISSCC89 Digest of Technical papers FAM16, 4に発表したものである。第14図を参照して、ビット線対1, 2はセンスアンプ5に接続され、ビット線1とワード線13のそれぞれの交点にはメモリセル22が接続される。さらに、セン

スアンプ5にはEXOR回路からなる一致検出回路8が接続されるとともに、転送トランジスタ6, 7を介してノード3, 4の一端に接続される。

ノード3, 4には一致検出回路8とレジスタ10とが接続される。レジスタ10はそれぞれの入出力が接続された2つのインバータを含み、期待値入力ラッチするために設けられている。一致検出回路8はレジスタ10にラッチされている期待値とメモリセル22に記憶されているデータとの一致、不一致を検出するために設けられている。ノード3, 4の他端は転送トランジスタ20, 21を介してメイン1/0線対11, 12に接続される。一致検出回路8にはラインテスト結果を出力するための一致線9が接続されている。転送トランジスタ6, 7はクロック信号 $\phi$ によって制御され、転送トランジスタ20, 21はコラムデコード出力信号Ynによって制御される。

第15図は第14図に示した従来のダイナミックRAMでラインテストモードを実行する動作を説明するためのフロー図であり、第16図はm×

nのマトリックスよりなるメモリセルアレイを示す図であり、第17図は従来のダイナミックRAMでラインモードをテストしたテストパターンの一例を示す図である。

次に、第13図ないし第17図を参照して従来のダイナミックRAMでラインモードテストをする動作について説明する。まず、コラムデコード出力信号Ynが転送トランジスタ20, 21に与えられ、これらの転送トランジスタ20, 21が導通し、ノード3, 4とメイン1/0線対11, 12が接続される。そして、メイン1/0線対11, 12と転送トランジスタ20, 21とノード3, 4とを介してレジスタ10にランダムなテストパターン列が入力されて書込まれる。

次に、転送トランジスタ6, 7がクロック信号 $\phi$ により導通し、ワード線13が駆動されると、レジスタ10に書込まれたデータが転送トランジスタ6, 7およびビット線対1, 2に転送され、選択されているワード線13により指定されるメモリセル22の列に入力される。ここで、メモリ

セルアレイが第16図に示すように、m×nのマトリックスにより構成されていた場合、1度にnビットのデータがメモリセル列に転送されることになる。この転送の動作はm回つまりすべてのワード線を対象に行なわれることにより、メモリセルアレイ全体にデータが書込まれる。

次に、読出動作は次のようにして行なわれる。すなわち、1本のワード線13により選択されたメモリセル22の列のデータは微小電位差しかないため、センスアンプ5によって増幅され、ビット線対1, 2上に読出される。一方、レジスタ10の列には期待値のデータ列が保存されている。このとき、転送トランジスタ6, 7は閉じられている。ビット線対1, 2上のメモリセル22から読出されたデータと、レジスタ10にラッチされている期待値とが一致検出回路8によってその一致、不一致が検出される。この一致検出結果は一致線9に出力される。すなわち、一致線9は予め高レベルにプリチャージされていて、一致検出回路8の出力はワイヤードオア接続されており、メ

メモリセル22の列のデータとレジスタ10の列のデータ列のうち1つでも不一致であれば、一致線9のレベルが低レベルに放電される。そして、不一致であれば、不一致を示すフラグが出力される。この一致検出の読出動作(L i n e - R e a d動作)をm回つまりすべてのワード線を対象に行なうことにより、メモリアレイ全体の比較が完了する。

ここで、テストに必要なテスト時間は、1つの動作サイクルタイム $t_c$ とすると、

$$t = n \cdot t_c + m \cdot t_c + m \cdot t_c \\ = t_c (2m + n)$$

というように、レジスタ書込時間とコピーライト時間のラインリード時間の合計となる。一方、テストにおいて、大容量のDRAMなどでは、隣接メモリセル間の干渉などの検出感度を向上させるために、種々のテストパターンが考案されている。よって、できる限りランダムなテストパターンの実現できるテスト方法が要求される。

【発明が解決しようとする課題】

のスイッチング手段によって選択されて第1および第2のビット線に与えられ、出力された第1および第2の電圧が第2のスイッチング手段によって選択されかつ反転されて第1および第2のビット線に与えられる。

第2請求項にかかる発明は、第1請求項にかかる発明に加えて複数のビット線対がトランスファゲートによって第1および第2のノードに分離され、半導体集積回路メモリのメモリセルが第1および第2のノードに接続される。信号源はビット線対の第1のノードに正転および反転した論理レベル信号をストアするためのレジスタ手段によって構成され、第1のスイッチング手段はレジスタ手段にストアされている正転および反転した論理レベル信号をビット線対のいずれかの第1のノードに与えるように接続され、第2のスイッチング手段はレジスタ手段にストアされている正転および反転された論理レベル信号をビット線対のいずれかの第1のノードに与えるように接続される。

第3請求項にかかる発明は第2請求項にかかる

上述のごとく、従来のラインモードテスト回路を内蔵したダイナミックRAMにおいては、ワード線13の方向についてはテストパターンをランダムにすることができるが、ビット線方向については同一パターンしか生成できない。すなわち、第17図に示すように、コラム方向にはランダムなパターンを生成し得ても、ロー方向には同一パターンしか生成できない。

それゆえに、この発明の主たる目的は、ワード線方向だけでなくビット線方向にもランダムなテストパターンを発生し得る半導体集積回路メモリのためのテスト信号発生器およびテスト方法を提供することである。

【課題を解決するための手段】

第1請求項にかかる発明は、それぞれが第1のビット線と第2のビット線とを含む複数のビット線対を含む半導体集積回路メモリのためのテスト信号発生器であって、信号源から第1および第2の論理レベルに対応した第1および第2の電圧が出力され、これらの第1および第2の電圧が第1

発明の構成に加えて、ビット線対の第1のノードに現われる正転および反転された論理レベル信号とビット線対の第2のノードに現われる論理レベル信号とが比較手段によって比較され、第2のスイッチング手段は比較手段とレジスタ手段にストアされた正転または逆転された論理レベル信号に対応するビット線対のうちのいずれかのビット線に対応する第1のノードとの間に接続される。

第4請求項にかかる発明は、第3請求項にかかる発明に加えて、さらに比較手段の比較出力が一時記憶手段によって一時記憶され、一時記憶された比較出力が第3のスイッチング手段によってビット線対に出力される。

第5請求項にかかる発明は、ビット線対と、このビット線対に接続されたセンスアンプと、ビット線対に接続されたメモリセルと、メモリセルの機能テストのためのテスト回路を有する半導体集積回路メモリのためのテスト信号発生器であって、信号源から第1および第2の論理レベルに対応した第1および第2の電圧が出力され、これらの第

1および第2の電圧が第1のスイッチング手段によって選択されて第1および第2のビット線に与えられ、出力された第1および第2の電圧が第2のスイッチング手段によって選択されかつ反転されて第1および第2のビット線に与えられる。

第6請求項にかかる発明は、内蔵されたテスト回路によってメモリセルの行をテストする半導体集積回路メモリのテスト方法であって、第1のステップで半導体集積回路メモリの行に対応する複数ビット数の少なくとも正転および反転された論理レベル信号のいずれか一方が確立される。第2のステップにおいて、確立された複数ビット数の少なくとも正転および反転された論理レベル信号のいずれか一方が一時記憶され、第3のステップでその一時記憶された論理レベル信号が読出される。読出された論理レベル信号が第4のステップで反転されて、反転された論理レベル信号が第5のステップでメモリセルに転送されて記憶される。記憶された論理レベル信号は第6のステップで読出され、この読出された論理レベル信号と第2の

ステップで一時記憶された論理レベル信号とが第7のステップで比較される。

第7請求項にかかる発明は、第6請求項にかかる発明に加えて、比較結果が第8のステップで記憶される。

#### 〔作用〕

この発明にかかる半導体集積回路メモリのテスト信号発生器は、第1および第2の論理レベルに対応した第2の電圧を出力し、出力された第1および第2の電圧を選択するかあるいは第1および第2の電圧を選択しかつ反転して第1および第2のビット線に与えることにより、ワード線方向のみならずビット線方向にもランダムなパターンを発生することができる。

この発明にかかる半導体集積回路メモリのテスト方法は、半導体集積回路メモリの行に対応する複数ビット数の少なくとも正転および反転された論理レベル信号のいずれか一方を確立し、確立した論理レベル信号を一時記憶し、記憶された論理レベル信号を読出して反転し、反転した論理レベ

ル信号をメモリセルに転送して記憶し、記憶した論理レベル信号を読出し、その論理レベル信号と一時記憶した論理レベル信号とを比較することによってメモリセルの行をテストする。

#### 〔発明の実施例〕

第1図はこの発明の一実施例のブロック図である。次に、第1図を参照して、この発明の一実施例の構成について説明する。なお、第1図において、以下の点を除いて前述の第14図と同じである。すなわち、ノード3、4には、転送トランジスタ14、15を介してレジスタ10が接続されるとともに、転送トランジスタ16、17を介してレジスタ10の反転出力が接続される。転送トランジスタ14、15はクロックジェネレータ18から出力されるクロック信号 $\phi_1$ によって制御され、転送トランジスタ16、17はクロックジェネレータ19から出力されるクロック信号 $\phi_2$ によって制御される。

第2図はこの発明の一実施例の動作を説明するためのフロー図であり、第3図は第1図に示した

実施例によるテストパターンの一例を示す図である。

次に、第1図ないし第3図を参照して、この発明の一実施例のラインモードテストについて説明する。まず、最初にコラムデコード出力信号 $Y_n$ が転送トランジスタ20、21に与えられ、これらの転送トランジスタ20、21が導通する。同時に、クロックジェネレータ18から“H”レベルのクロック信号 $\phi_1$ が転送トランジスタ14、15に与えられ、これらの転送トランジスタ14、15が導通する。このとき、クロックジェネレータ19から出力されているクロック信号 $\phi_2$ は“L”レベルになっていて、転送トランジスタ16、17は非導通になっている。I/O線対11、12から転送トランジスタ20、21と14、15を介してランダムなテストパターン列Dがレジスタ10の列に与えられ、このランダムなテストパターン列Dがレジスタ10の列に書き込まれる。

次に、クロック信号 $\phi_1$ が転送トランジスタ6、7に与えられ、これらの転送トランジスタ6、7

が導通する。このため、レジスタ10の列に書込まれているテストパターン列Dは転送トランジスタ14、15からノード3、4および転送トランジスタ6、7を介してビット線対1、2に出力され、かつワード線13が駆動されると、ランダムなテストパターン列Dがメモリセル22の列に書込まれる。このコピーライト動作により、ワード線13によって選択されたメモリセル22の列にランダムなテストパターン列Dが書込まれる。

なお、上述の転送トランジスタ14、15が非導通にされ、転送トランジスタ16、17が導通状態にされたときには、テストパターン列Dの反転データパターンDがメモリセル列に転送される。メモリセルアレイが $m \times n$ のマトリックスで構成されていた場合、1度に $n$ ビットのデータが転送され、この動作を $m$ 回つまりすべてのワード線を対象に行なうことにより、メモリアレイ全体にテストパターン列のデータを従来例と同様にして書込むことができる。

ここで、 $m$ 回の転送時に、クロック信号 $\phi_1$ 、

$\phi_2$ により、転送トランジスタ14、15と転送トランジスタ16、17を交互に導通させれば、テストパターン列Dとテストパターン列Dを組合わせることができ、従来例では実現できなかったビット線方向にもランダムなテストパターン列を書込むことができる。

次に、読出動作について説明する。ワード線13により選択されたメモリセル22の列のデータはセンスアンプ5により増幅されてビット線対1、2上に読出される。このとき、レジスタ10の列には、期待値のデータ列が保存されていて、転送トランジスタ6、7は非導通になっている。そして、ビット線対1、2上のメモリセル22から読出されたデータと、レジスタ10にラッチされているデータとの一致検出が行なわれる。このとき、転送トランジスタ14、15を導通するか、または転送トランジスタ16、17を導通するかは、コピーライトの動作と同じワード線アドレスに対応するように制御される。その結果が、一致線9に接続され、メモリセル22の列のデータとレジ

スタ10の列のデータのうち1つでも不一致であれば、一致線9のレベルが低レベルに放電され、テスト結果としてエラーフラグが出力される。テストに必要なテスト時間は従来例と全く同じであり、 $t = t_c \cdot (2m + n)$ となる。

次に、従来の装置におけるラインモードテストでできなかった第3図に示すようなチェックパターンによるテスト動作について、第2図に示すフロー図を参照して説明する。まず、レジスタ10の列に“0”、“1”が交互に書込まれる。次に、ワード線3を選択するアドレス信号の最下位ビットが“0”のとき、クロック信号 $\phi_1$ が活性化され、転送トランジスタ14、15が導通し、テストパターン列Dがメモリセル22の列に転送される。一方、アドレス信号の最下位ビットが“1”のとき、クロック信号 $\phi_2$ が活性化されて、転送トランジスタ16、17が導通し、反転した転送パターン列Dがレジスタ10からメモリセル22に転送される。これによって、メモリセルアレイにはチェックパターンが書込まれたことになる。

一方、読出動作は、ワード線13を選択するアドレス信号の最下位ビットが“0”のとき、クロック信号 $\phi_1$ が活性化されて転送トランジスタ14、15が導通し、転送トランジスタ6、7は非導通になっている。一致検出回路8は期待値のデータ列Dとメモリセル列の一致検出を行なう。また、アドレス信号の最下位ビットが“1”のとき、クロック信号 $\phi_2$ が活性化されて転送トランジスタ16、17が導通し、反転された期待値データ列Dとメモリセル列の一致検出が行なわれる。もし、エラーが1つでもあればフラグが出力される。

第4図はこの発明の他の実施例におけるテストパターン発生部を示す電気回路図であり、第5図は第4図に示した例によって発生されるテストパターンの一例を示す図である。

第4図に示した例は、第1図に示したレジスタ10を設けることなく、電源電圧 $V_{cc}$ と接地電位 $V_{ss}$ をノード3、4に与えるという簡単な構成で第5図に示すようなテストパターンを発生する。すなわち、転送トランジスタ14および17



のそれぞれのドレインには電源電圧 $+V_{cc}$ が与えられ、転送トランジスタ15と16のドレインは接地されて接地電位 $V_{ss}$ が与えられる。隣接する列の転送トランジスタ24と27のそれぞれのドレインは接地され、転送トランジスタ25と26のそれぞれのドレインには電源電圧 $+V_{cc}$ が与えられる。このように、電源電圧 $V_{cc}$ と接地電位 $V_{ss}$ をノード3, 4に与えることによって、第5図に示すような同方向にストライプなパターンや前述の第3図に示したようなランダムなパターンを実現できる。

ところで、近年T. Osawa他ISSCCB 7 Digest of Technical papers 286頁に報告されているようにセルフテスト、つまりテストを用いることなく、メモリチップ自身にテストパターンを発生させる機能を持たせ、テストするという構成が考えられている。この発明により実現されるラインモードテストは、このようなセルフテスト化も同様に行なうことができ、ランダムなテストパターンを実現

することができる。たとえば、チェックパターンを考えたとき、レジスタ列に“0”、“1”のパターンを入力するのはコラムアドレスの関数で容易に発生でき、一方ビット線方向にもロウアドレス関数で“0”、“1”を実現できる。

以下に、そのような実施例について説明する。

第6図はレジスタにテストデータが残っていて、同一ワード線の或るメモリセル列のデータを反転してそのメモリセル列に書き込むテスト動作を説明するためのフロー図であり、第7図はデータの変化の状態を示す図である。

第1図に示すレジスタ10の列に、たとえば第7図(a)に示すようなテストデータ“01001”が残っていて、ワード線13が接続されているメモリセル22の列に第7図(b)に示すような初期データ“01001”が記憶されているものとする。クロック信号 $\phi_2$ にตอบสนองして、転送トランジスタ16, 17が導通すると、レジスタ10の列にストアされているデータ“01001”が第7図(c)に示すように反転され、反転され

たデータ“10110”が第7図(e)に示すようにメモリセル22の列に転送される。このとき、ワード線13が立上げられると、第7図(f)に示すように、データ“10110”がメモリセル22の列に書き込まれる。

第8図はレジスタにデータが残っておらず、同一ワード線のメモリセル列のデータを読出して反転し、この反転したデータを同一のメモリセル列に書き込むテスト動作を説明するためのフロー図であり、第9図は同じくデータの変化の状態を示す図である。

まず、ワード線13が立上げられると、第9図(b)に示すように、メモリセル22の列に記憶されていたデータ“01001”がビット線対1, 2に読出されてセンスアンプ5によって増幅される。次に、クロック信号 $\phi_1$ にตอบสนองして転送トランジスタ14, 15が導通し、第9図(a)に示すように、センスアンプ5で増幅されたデータ“01001”が転送トランジスタ14, 15を介してレジスタ10にストアされる。クロック信

号 $\phi_2$ にตอบสนองして転送トランジスタ16, 17が導通すると、レジスタ10の列にストアされたデータ“01001”が反転され、第9図(g)に示すように、反転されたデータ“10110”が転送トランジスタ6, 7を介してビット線対1, 2に出力される。このとき、ワード線13が立上げられると、第9図(j)に示すように、反転されたデータ“10110”がメモリセル22の列に書き込まれる。

第10図はレジスタにデータが残っておらず、或るワード線に対応するメモリセル列のデータを反転し、その反転したデータを他のワード線に対応するメモリセル列に書き込むテスト動作を説明するためのフロー図である。

この実施例においては、 $m$ 番地のワード線が立上げられ、対応のメモリセルに記憶されているデータがビット線対1, 2に読出され、センスアンプ5で増幅される。転送トランジスタ14, 15が導通すると、センスアンプで増幅されたデータがレジスタ10の列にストアされる。次に、転送

トランジスタ16, 17が導通すると、レジスタ10の列に書込まれたデータの反転出力がビット線対1, 2に転送される。n番地のワード線が立上げられると、反転されたデータが対応のメモリセル列に書込まれる。

第11図はレジスタにデータが残っていて、或るワード線に対応するメモリセル列のデータを反転し、その反転したデータを他のワード線に対応するメモリセル列に書込むテスト動作を説明するためのフロー図である。この実施例においては、レジスタ10にデータが残っているため、転送トランジスタ16, 17が導通すると、レジスタ10にストアされているm番地ワード線の1列分のデータの反転出力がビット線対1, 2に転送される。そして、n番地のワード線が立上げられると、対応するメモリセル列に反転されたデータが記憶される。

第12図はこの発明のさらに他の実施例を示す図である。

前述の第1図に示した実施例では、一致検出回

路8の一致検出出力がワード線ごとに出力されるため、エラーを生じたメモリセルのコラムアドレスを知るためには、再びメモリセルのそれぞれについて外部よりテストデータを書込み、そして読出してメモリの外部に接続されたテスト装置によって、読出されたデータと期待値とを比較する必要がある。

そこで、第12図に示した実施例は、エラーを生じたメモリセルのコラムアドレスを検出できるように構成したものである。すなわち、一致検出回路8の出力をラッチするためにラッチ回路30が設けられ、このラッチ回路30の出力は転送トランジスタ31, 32を介して1/0線対11, 12に接続される。転送トランジスタ31, 32のゲートは共通接続され、そこにコラムデコード出力信号Ymが与えられる。

一致検出回路8はレジスタ10にストアされているテストデータとメモリセル22から読出されたデータとの一致を判別し、一致、不一致出力をラッチ回路30にラッチさせる。転送トランジス

タ31, 32がコラムデコード出力信号Ymによって導通すると、ラッチ回路30の出力が1/0線対11, 12に与えられる。したがって、1/0線対11, 12にはエラーの生じたメモリセルに対応するコラムアドレスを容易に出力することができる。

#### 〔発明の効果〕

以上のように、この発明によれば、ラインモードをテストするために、第1および第2の論理レベルに対応した第1および第2の電圧を正転または反転あるいは正転と反転との組合わせでメモリセルに書込、読出できるようにしたので、ビット線方向に沿ってもランダムなパターンを実現できるラインモードテストが可能となり、テスト時間の大幅な短縮を図ることができ、ラインモードテストの不良検出感度を格段に向上することができる。

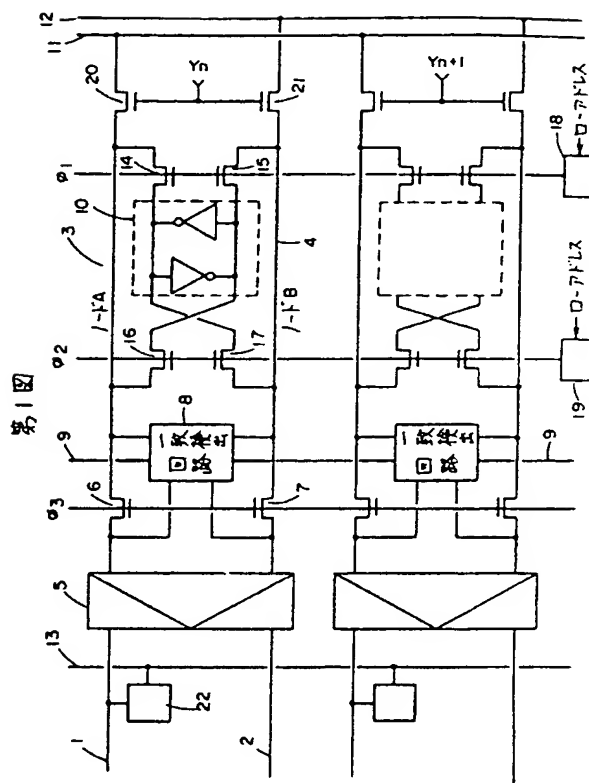
#### 4. 図面の簡単な説明

第1図はこの発明の一実施例のブロック図である。第2図はこの発明の一実施例の動作を説明す

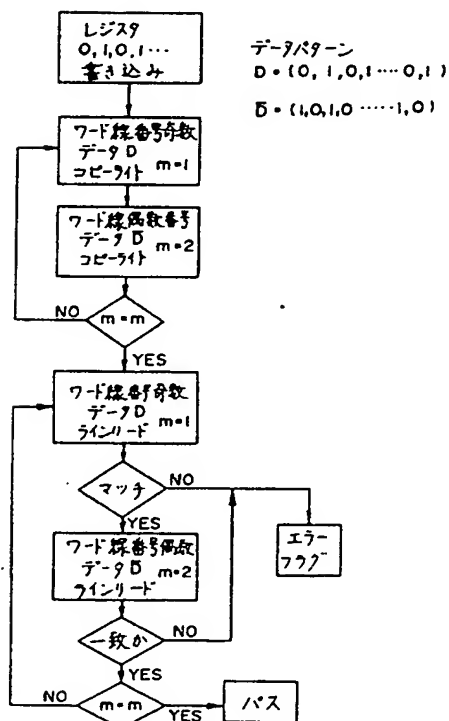
るためのフロー図である。第3図は第1図に示した実施例によるテストパターンの一例を示す図である。第4図はこの発明の他の実施例におけるテストパターン発生部を示す電気回路図である。第5図は第4図に示した実施例におけるテストパターンの一例を示す図である。第6図はレジスタにデータが残っていて、同一ワード線のメモリセル列に反転したテストデータを記憶させる動作を説明するためのフロー図である。第7図は同じくデータの変化の状態を示す図である。第8図はレジスタデータが残っておらず、或るメモリセル列から読出したデータを反転して同一ワード線のメモリセル列に記憶させる動作を説明するためのフロー図である。第9図は同じくデータの変化の状態を示す図である。第10図はレジスタにデータが残っておらず、或るメモリセル列からデータを読出し、反転したデータを異なるワード線に対応するメモリセル列に記憶させる動作を説明するためのフロー図である。第11図はレジスタにデータが残っていて、異なるワード線に対応するメモリ

セル列にデータを記憶させる動作を説明するためのフロー図である。第12図は、この発明のさらに他の実施例を示す図である。第13図は従来のダイナミックRAMの全体の構成を示すブロック図である。第14図はラインモードテスト回路を内蔵した従来のダイナミックRAMのアレイ構成の一部を示す図である。第15図は第14図に示した従来のダイナミックRAMでラインモードテストを実行する動作を説明するためのフロー図である。第16図は $m \times n$ のマトリクスよりなるメモリアレイを示す図である。第17図は従来のダイナミックRAMでラインモードテストをしたときのテストパターンの一例を示す図である。

図において、1、2はビット線対、3、4はノード、5はセンスアンプ、6、7、14~17、20、21、24~27、31、32は転送トランジスタ、8は一致検出回路、9は一致線、10はレジスタ、11、12はI/O線対、18、19はパルスジェネレータ、22はメモリセル、30はラッチ回路を示す。



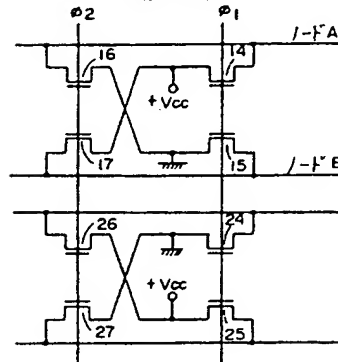
第2図



第3図

0	1	0	1	0	1
1	0	1	0	1	0
0	1	0	1	0	1
1	0	1	0	1	0
0	1	0	1	0	1
1	0	1	0	1	0

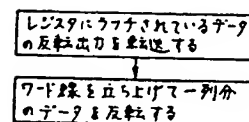
第4図



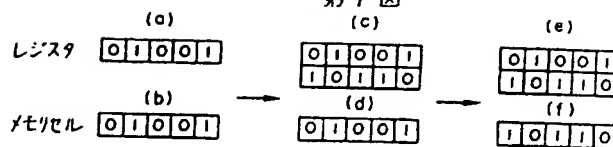
第5図

0	0	0	0	0	0
1	1	1	1	1	1
0	0	0	0	0	0
1	1	1	1	1	1
0	0	0	0	0	0
1	1	1	1	1	1

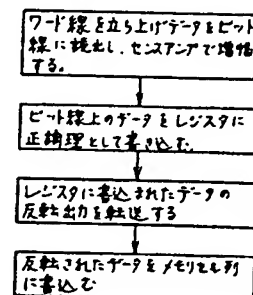
第6図



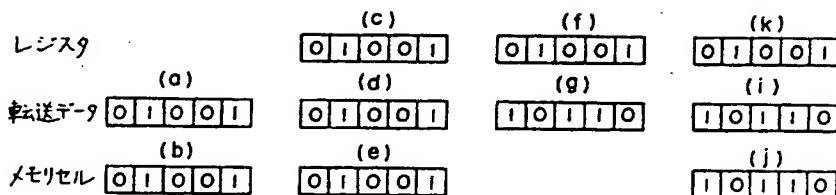
第7図



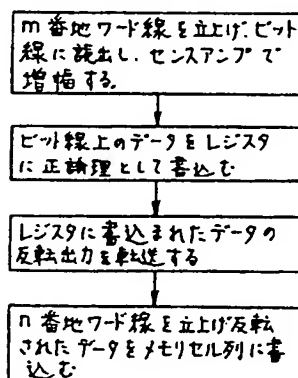
第8図



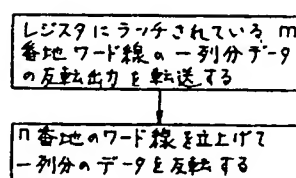
第9図



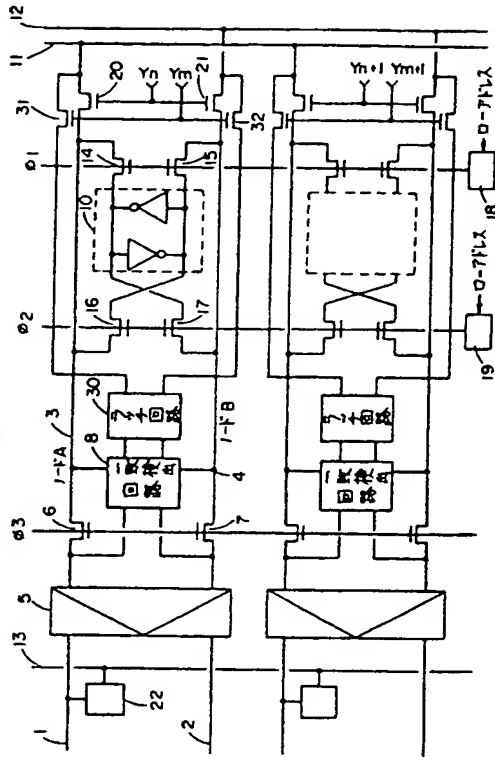
第10図



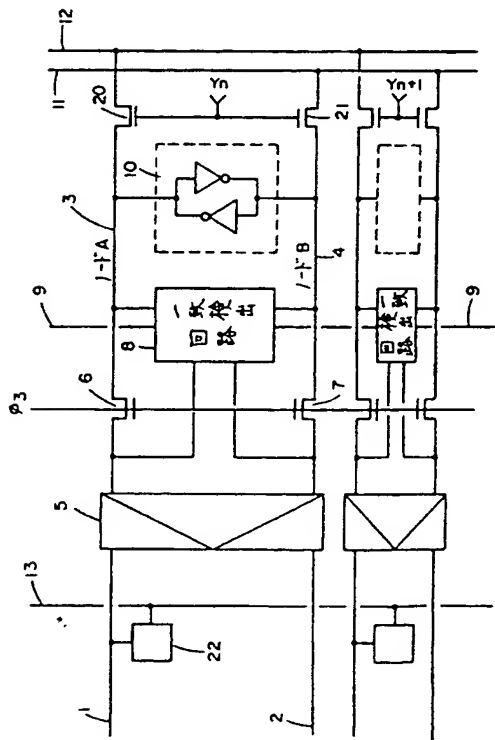
第11図



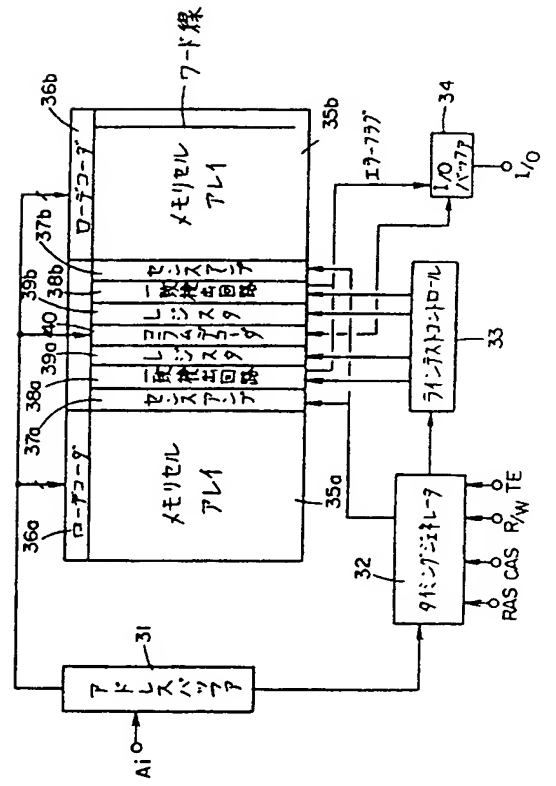
第12図



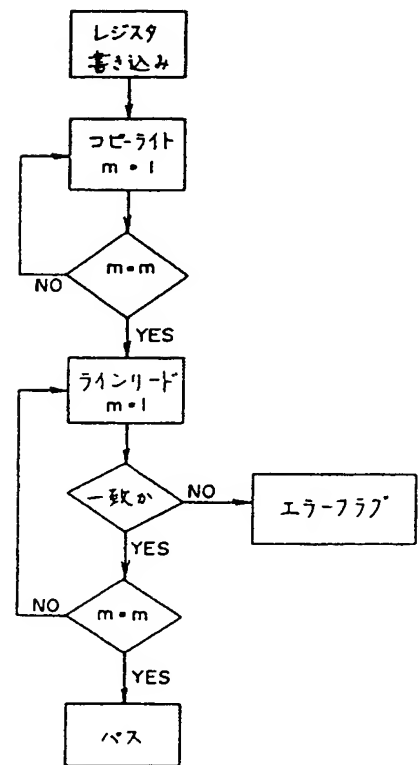
第14図



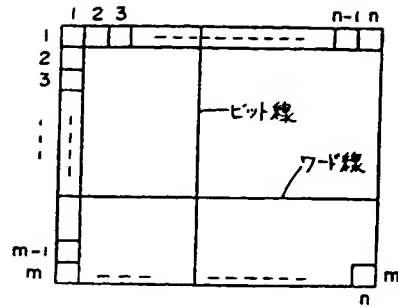
第13図



第15図



第16図



第17図

コラム  
→

1	0	0	1	1	0
1	0	0	1	1	0
1	0	0	1	1	0
1	0	0	1	1	0
1	0	0	1	1	0
1	0	0	1	1	0

↓

第1頁の続き

②発明者	築出	正樹	兵庫県伊丹市瑞原4丁目1番地	三菱電機株式会社エル・
				エス・アイ研究所内
②発明者	藤島	一康	兵庫県伊丹市瑞原4丁目1番地	三菱電機株式会社エル・
				エス・アイ研究所内